

⑫ 公開特許公報(A)

昭62-48028

⑤ Int. Cl.⁴H 01 L 21/322
21/76
21/94

識別記号

庁内整理番号

J-7738-5F
M-7131-5F
6708-5F

④ 公開 昭和62年(1987)3月2日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 フィールド酸化膜の形成方法

② 特 願 昭60-187502

③ 出 願 昭60(1985)8月28日

⑦ 発 明 者 土 屋 憲 彦 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
 ⑧ 発 明 者 宇 佐 美 俊 郎 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
 ⑨ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
 ⑩ 代 理 人 弁 理 士 諸 田 英 二

明 細 書

1. 発 明 の 名 称

フィールド酸化膜の形成方法

2. 特 許 請 求 の 範 囲

- 1 シリコン半導体基板上に酸化膜及び窒化膜を順次形成する工程と、基板のフィールド領域となる部分上方の該窒化膜の一部を除去して該酸化膜を露出させるとともに該窒化膜の残部を選択酸化のマスクとして残す工程と、上記露出した酸化膜を透し上記基板のフィールド領域のうち中央部のみにSi、O又はAlいずれかのイオンをイオン注入して該中央部に注入欠陥を形成する工程と、上記窒化膜のマスクを用いて基板フィールド領域の選択酸化をし、該中央部において深くなった形状のフィールド酸化膜を形成するとともに該フィールド酸化膜の周縁近傍などに発生する格子欠陥を上記注入欠陥にゲッタリングさせる工程を含む半導体装置におけるフィールド酸化膜の形成方法。

3. 発 明 の 詳 細 な 説 明

[発 明 の 技 術 分 野]

本発明は、半導体装置におけるフィールド酸化膜の形成方法に関し、詳しくは酸化前にゲッタリング欠陥領域を形成するという前処理工程を付加することにより改良したフィールド酸化膜の選択酸化方法に係るものである。

[発 明 の 技 術 的 背 景]

従来、選択酸化(LOCOS)法によるフィールド酸化膜の形成方法は、以下に示す方法で行われている。これを、第2図(a)~(d)の工程図を参照して説明する。

まず、第2図(a)のように、シリコン基板1の上に厚さ約100ÅのSiO₂膜2をドライ酸化法で形成し、次にこのSiO₂膜2上に600~3000ÅのSi₃N₄膜3をCVD(化学気相成長)法により形成する。

次に、Si₃N₄膜3の上に、フィールド領域に対応して開口するレジストパターンをリソグラフィ技術により形成し、第2図(b)のように、

フィールド領域上方の Si_3N_4 膜/ SiO_2 膜をエッチング除去し、 Si_3N_4 膜3a及び SiO_2 膜2aからなる選択酸化のためのマスクを残してフィールドパターンニングを行う。

その次に、第2図(c)のように、残された Si_3N_4 膜3aと SiO_2 膜2aをマスクとして、基板のフィールド領域には、ウェット酸化により $1\mu\text{m}$ 以上のフィールド酸化膜を形成する。

そして最後に、第2図(d)のように、マスク3a, 2aを除去して素子分離を完成する。マスクを除去した後の基板部分には素子形成がなされ半導体装置が構成される。

[背景技術の問題点]

前記従来の選択酸化法では、シリコン基板とフィールド酸化膜(SiO_2 膜)の間の熱膨脹率の差から、特にフィールド酸化膜の周縁界面(パターンエッジ)において熱応力が発生する。フィールド酸化膜の耐圧を高くするためなどにより、その界面応力が極度に大きくなると、絶縁膜クラックの原因となり、あるいは不純物拡散の時にバ

ターンエッジでの異常現象や、電極形成時、エッチング時の異常を惹き起こしたりする。

また、シリコン基板とフィールド酸化膜の間の熱膨脹率の差は、基板に歪みを生ぜしめ、その結果基板に欠陥や転移が発生するために素子の信頼性が低下し、特に熱サイクル等による歪みの下での劣化が接合のリーク電流及びパターンエッジにおけるリーク電流の増加を生じさせて歩留り低下の原因となっている。

[発明の目的]

本発明の目的は、フィールド酸化の前処理工程としてフィールド領域中央部にイオン注入を行うことにより、深い酸化膜を形成させて絶縁膜としての耐圧を高めるとともに、パターンエッジの欠陥をイオン注入部に発生した欠陥領域にゲッタリングさせることにより、リーク電流を低減することができるフィールド酸化膜の形成方法を提供しようとするものである。

[発明の概要]

本発明は、上記目的を達成するためになされた

もので、即ち、基板のフィールド領域上方の Si_3N_4 膜を除去してそこに SiO_2 膜を露出させた後、露出した SiO_2 膜表面に、基板フィールド領域のうち中央部のみ開口しイオン注入を可能にするレジストパターンをリソグラフィ技術で形成し、次に該レジストパターンをマスクとして Si 、 O 又は Ar いずれかのイオン注入を行ってフィールド領域中央部の所定深さ部分に注入欠陥部分を形成する。引続く選択酸化工程により、フィールド酸化膜のパターンエッジに特に発生する格子欠陥を注入欠陥部分にゲッタリングさせるとともに、該中央部において選択酸化が進行して深く基板に潜り込んだ形状のフィールド酸化膜が形成されることにより、高耐圧でリーク電流の少ない素子分離特性が可能になった。

[発明の実施例]

以下に、本発明方法の一実施例を第1図(a)〜(d)の工程図を参照して具体的に説明する。第1図の各図は素子断面を示したものである。

まず、第1図(a)のように、シリコン基板1

上に厚さ 500\AA の SiO_2 膜2をドライ酸化法で、さらに SiO_2 膜2上に厚さ 1000\AA の Si_3N_4 膜3をCVD法で形成する。この工程は、従来の選択酸化法におけると同じである。

次に、レジストパターン(図示せず)によってマスクし、基板フィールド領域上方の Si_3N_4 膜のみをプラズマエッチングによって除去し、第1図(b)のようにフィールド領域上の SiO_2 膜2aを露出させる。この際、従来方法と異なりフィールド領域上に SiO_2 膜2を残すのは、基板の汚染を防ぐ保護膜とするためである。

その次に、第1図(b)において、露出した SiO_2 膜2のフィールド領域上の中央部2bを残して、基板全面にフォトリソグレイ(KTRF)の注入マスク4を形成する。そして注入マスク4を用い Si イオンを加速電圧 180keV 、密度 $2 \times 10^{16} / \text{cm}^2$ でシリコン基板のフィールド領域中央部にイオン注入5する。イオン注入5された Si イオンは、 SiO_2 膜2bを透過してシリコン基板1の深さ 1000\AA のところに注入欠陥6を形

成する。

その後、第1図(c)に示すように、注入マスク4を剥離して、 Si_3N_4 膜のマスク3aを用い、 1100°C 、2時間のウェット酸化を行って厚さ $1.2\mu\text{m}$ のフィールド酸化膜7を形成する。イオン注入5を受けたフィールド領域中央部は、さらに $0.5\mu\text{m}$ 酸化が深く進行して、従来のフィールド酸化膜と異なり、この中央部7aのみ深くなった形状のフィールド酸化膜7が形成される。また、この酸化の過程で、注入欠陥6は、消滅、合体、凝縮を繰り返すとともに、フィールド酸化膜のパターンエッジにおける格子欠陥をゲッタリングする。

最後に、第1図(d)に示すように、選択酸化のマスクとした Si_3N_4 膜3aを除去しフィールド酸化膜7が完成する。

[発明の効果]

本発明のフィールド酸化膜の形成方法によれば、第一に、フィールド酸化膜のパターンエッジにおけるリーク電流が減少した半導体装置が得られる。

第1図(d)のフィールド酸化膜が完成し、

Si_3N_4 膜を除去したあとのp型素子形成領域に n^+ 層を形成し、多数の $n^+ - p$ 接合のリーク電流値を測定してその頻度を求め(第3図(a))、一方従来の工程のフィールド酸化膜についての同様測定値と比較した(第3図(b))。

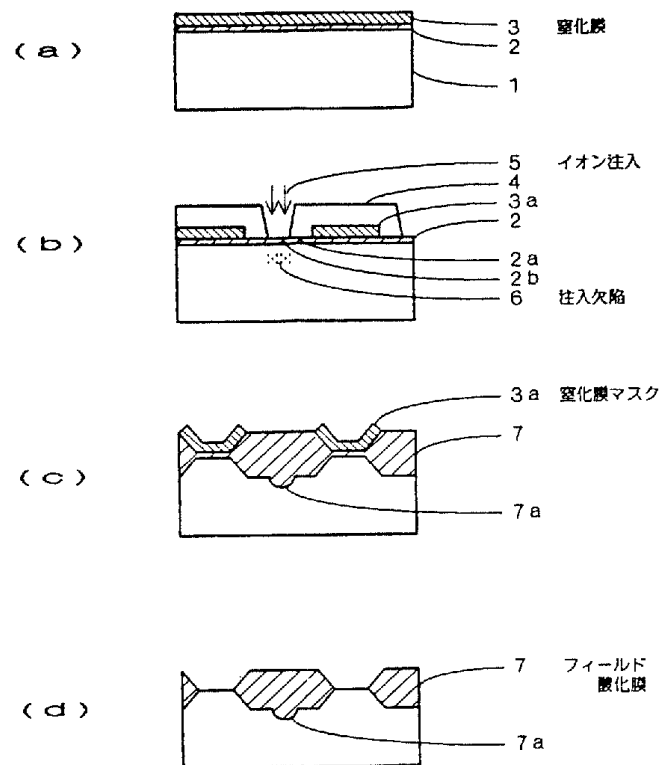
本発明方法の第3図(a)の頻度と、従来方法の第3図(b)の頻度とを比較してわかるように、本発明方法は従来方法にたいしてリーク電流がほぼ $1/3$ であることがわかる。それは、リーク電流の発生原因であるパターンエッジにおける格子欠陥がゲッタリングによって減少した結果の現象である。

本発明方法によれば、第二に、接合間の分離耐圧を測定してみると、本発明方法によるものは、 35V 、従来方法によるものでは 23V であって、良好な絶縁分離特性が実現されていることがわかる。このように高耐圧のフィールド酸化膜の得られることは、素子分離設計の自由度が高まることをも意味する。

4. 図面の簡単な説明

第1図(a)～(d)は本発明のフィールド酸化膜形成方法の工程を説明する素子断面工程図、第2図(a)～(d)は従来のフィールド酸化膜形成方法の工程を示す素子断面工程図、第3図(a)及び(b)は本発明方法の効果を説明するグラフである。

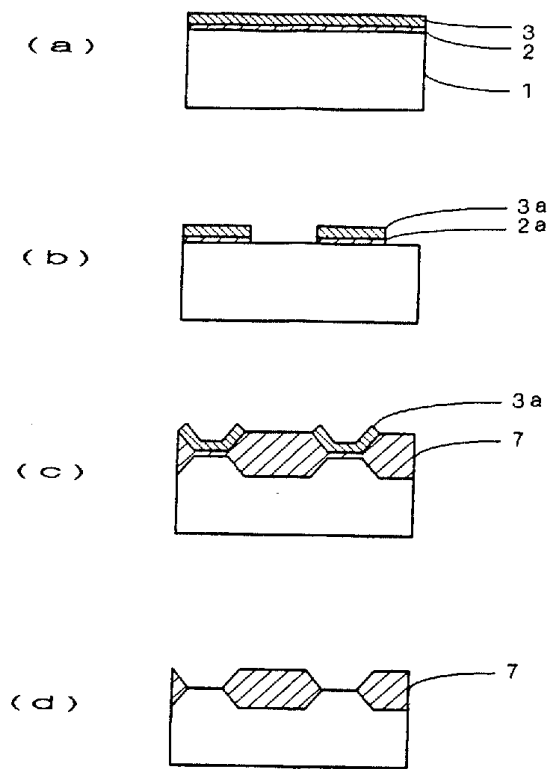
1…シリコン基板、2…酸化膜、3…窒化膜、3a…窒化膜マスク(選択酸化用)、4…注入マスク、5…イオン注入、6…注入欠陥、7…フィールド酸化膜、7a…フィールド酸化膜の中央部。



特許出願人 株式会社 東 芝
代理人 弁理士 諸田 英二

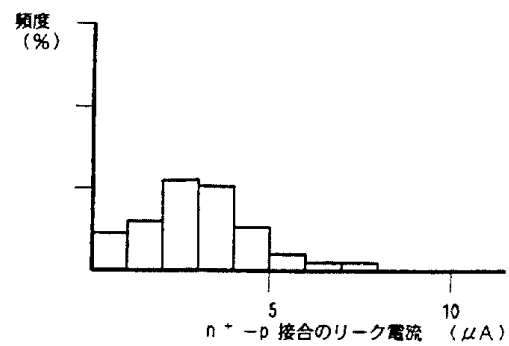


第 1 図

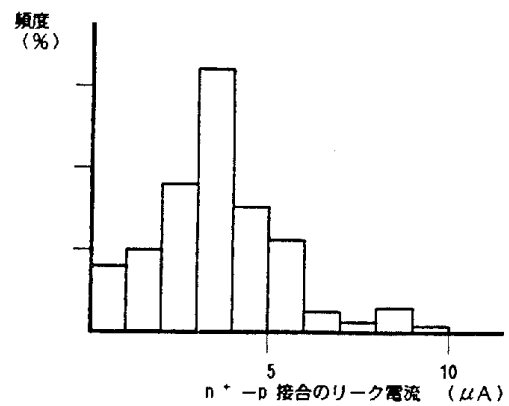


第 2 図

(a)



(b)



第 3 図